

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月10日
Date of Application:

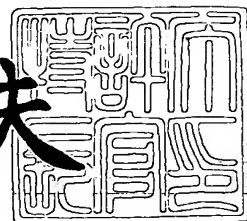
出願番号 特願2003-195081
Application Number:
[ST. 10/C]: [JP 2003-195081]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年 7月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3058916

【書類名】 特許願

【整理番号】 J0100986

【提出日】 平成15年 7月10日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/30

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 壹岐 拓則

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 林 朋彦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 5 2 8

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

**【先の出願に基づく優先権主張】****【出願番号】** 特願2002-238483**【出願日】** 平成14年 8月19日**【手数料の表示】****【予納台帳番号】** 013044**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0109826**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 基板装置及びその製造方法、電気光学装置及び電子機器

【特許請求の範囲】

【請求項 1】 基板上に設けられた半導体層を含む薄膜トランジスタと、
前記半導体層の一部と電気的に接続された第 1 電極と、該第 1 電極に対向配置された第 2 電極と、前記第 1 電極及び前記第 2 電極間に配置された窒化膜を含む誘電体膜とからなり、前記薄膜トランジスタの上に形成された蓄積容量とを備えてなり、

前記窒化膜は、前記半導体層を水素化するための開口部を有することを特徴とする基板装置。

【請求項 2】 前記開口部は、前記半導体層の鉛直上方に形成されていることを特徴とする請求項 1 に記載の基板装置。

【請求項 3】 前記開口部は、前記半導体層中のチャネル領域の鉛直上方に形成されていることを特徴とする請求項 2 に記載の基板装置。

【請求項 4】 前記誘電体膜は、前記窒化膜からなる層を一層とする積層構造を有していることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の基板装置。

【請求項 5】 前記積層構造には、酸化膜からなる層が含まれていることを特徴とする請求項 4 に記載の基板装置。

【請求項 6】 前記基板上には、前記薄膜トランジスタがアレイ状に複数配列されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の基板装置。

【請求項 7】 基板上に延在する走査線と、
前記走査線に交差する方向に延在するデータ線と、

前記走査線及び前記データ線の交差部に対応するように形成された半導体層を含む薄膜トランジスタと、

前記薄膜トランジスタに対応して設けられた画素電極と、

前記半導体層の一部と電気的に接続された第 1 電極と、該第 1 電極に対向配置された第 2 電極と、前記第 1 電極及び前記第 2 電極間に配置された窒化膜を含む誘電体膜とからなり、前記薄膜トランジスタの上に形成された蓄積容量と、

前記窒化膜は、前記半導体層を水素化するための開口部を有することを特徴とする電気光学装置。

【請求項 8】 前記開口部は、前記画素電極の形成領域の範囲内で形成されていることを特徴とする請求項 7 に記載の電気光学装置。

【請求項 9】 前記画素電極及び前記薄膜トランジスタはマトリクス状に配列されてなるとともに、前記走査線は前記マトリクス状に対応するようにストライプ状に形成されてなり、

前記走査線に平行に形成された固定電位の容量線を更に備え、

前記容量線は、前記第 2 電極を含むことを特徴とする請求項 7 又は 8 に記載の電気光学装置。

【請求項 10】 前記第 1 電極と前記半導体層の一部とを電氣的に接続する第 1 コンタクトホールと、

前記第 1 電極と前記画素電極とを電氣的に接続する第 2 コンタクトホールとを更に備えたことを特徴とする請求項 7 乃至 9 のいずれか一項に記載の電気光学装置。

【請求項 11】 前記薄膜トランジスタは、アレイ状に複数配列された N チャネル型の薄膜トランジスタであり、前記薄膜トランジスタは前記基板上の画像表示領域において画素スイッチング用に画素毎に設けられていることを特徴とする請求項 7 乃至 10 のいずれか一項に記載の電気光学装置。

【請求項 12】 前記データ線は、前記開口部に重なることを特徴とする請求項 7 乃至 11 のいずれか一項に記載の電気光学装置。

【請求項 13】 前記窒化膜は画素領域の前面に形成され、前記開口部は、前記画素電極の縁部に形成されていることを特徴とする請求項 7 乃至 12 のいずれか一項に記載の電気光学装置。

【請求項 14】 基板上に半導体層を含む薄膜トランジスタを形成する工程と、

前記薄膜トランジスタ上に前記半導体層の一部と電氣的に接続される第 1 電極を形成する工程と、

前記第 1 電極に対向するように第 2 電極を形成する工程と、

前記第 1 電極又は前記第 2 電極を形成する工程の後に、該第 1 電極又は該第 2 電極上に窒化膜を含む誘電体膜を形成する工程と、

前記窒化膜に対するパターニングを実施して前記半導体層を水素化するための開口部を形成する工程と、

前記開口部を通じて前記半導体層に対して水素を導入し該半導体層を水素化する水素化処理工程と、

を含むことを特徴とする基板装置の製造方法。

【請求項 15】 請求項 7 乃至 13 のいずれか一項に記載の電気光学装置を具備してなることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下適宜、「TFT（Thin Film Transistor）」と称す。）が形成された TFT アレイ基板装置等の基板装置及びその製造方法、並びに、そのような基板装置を備えた液晶装置等の電気光学装置及び電子機器の技術分野に属する。

【0002】

【背景技術】

この種の基板装置は例えば、石英基板等の基板上に、ソース領域、ドレイン領域及びチャネル領域を含むポリシリコン膜又はアモルファスシリコン膜等の半導体層を備える。この半導体層表面には、ドライ酸化又はウェット酸化による熱酸化膜等、HTO（高温酸化）膜、TEOS（テトラ・エチル・オルソ・シリケート）膜、若しくはプラズマ酸化膜からゲート絶縁膜が形成される。更に、このゲート絶縁膜上にゲート電極膜が形成されることにより、基板上に TFT が構築される。かかる TFT は、例えば液晶装置等の電気光学装置の画像表示領域内における各画素に作り込まれることにより、TFT アレイ基板装置における画素スイッチング用素子として用いられる。或いは、該画像表示領域の周囲における周辺領域に作り込まれることにより、該基板装置の駆動回路の一部としても用いられる。

【0003】

そして、画像表示領域内には、キャリアが電子であるためにキャリア移動度に優れた、即ちスイッチング特性に優れたNチャネル型TFTが作り込まれるのが一般的であり、周辺領域には、このようなNチャネル型TFTとPチャネル型TFTとを一組としてなると共に駆動電流が微小で済む等の長所を有するCMOS型（相補型）TFTが作り込まれるのが一般的である。

【0004】

このように画像表示領域や周辺領域にTFTが作り込まれた基板装置は、TFTアクティブマトリクス駆動方式の液晶装置等を初めとする各種電気光学装置に広く用いられている。

【特許文献1】

特開平2000-338919号公報

【0005】**【発明が解決しようとする課題】**

ところで、この種の基板装置については、高性能な電気特性、あるいは高信頼性を達成することが、常に、一般的な課題としてある。とりわけ、該基板装置を構成する前記TFTにおいては、リーク電流特性、界面準位密度、ホットキャリア耐性等について、より高性能で高信頼性であること（すなわち、リーク電流及び界面準位密度はより低く、ホットキャリア耐性はより高く、等）が求められる。また、そのような良好なトランジスタ特性を比較的長期に亘って維持するという要請も当然にある。

【0006】

このような要請を満たすためには、例えば、半導体層中の結晶粒界や、該半導体層と前記ゲート絶縁膜との界面等で発生するダングリングボンドの好適な処理、すなわちその除去ないしは終端等を効果的に行うことが必要となる。このようなダングリングボンドが残存したままであると、TFTのオン・オフ特性の劣化等につながるからである。また、TFTを構成するゲート絶縁膜、あるいはこれと半導体層の界面に対しては、水分が導入されることを可能な限り避けなければならない。もし、そのような部位に水分が浸入すると、TFTのスレッシュホールド

電圧 V_{th} の上昇等を招くからである。いずれにせよ、良好な特性を維持するという観点からは、上述のような不具合が解消されることが好ましい。

【0007】

この点、従来においても、これら問題点を解決する手段は幾つか提案されている。しかしながら、上述した TFT の特性向上に対する一般的、かつ、高い水準の要請がある観点からして、現状においても、完全な解決手段が提案されているとは言いがたい。

【0008】

また、このような問題点は、前記の基板装置が、画像表示が可能な液晶装置等の電気光学装置を構成する TFT アレイ基板に該当する場合において、より実際になる。このような電気光学装置では、高品質な画像表示や、その長期間にわたる維持持続という要請があり、それは、前記 TFT アレイ基板上的 TFT の特性如何に大きく依存しているからである。

【0009】

本発明は、上記問題点に鑑みてなされたものであり、良好なトランジスタ特性を有し、かつ、それを比較的長期にわたって維持することの可能な薄膜トランジスタを備えてなる基板装置及びその製造方法、並びに、そのような基板装置を備えてなる電気光学装置及び電子機器を提供することを課題とする。

【0010】

【課題を解決するための手段】

本発明の基板装置は、上記課題を解決するために、基板上に設けられた半導体層を含む薄膜トランジスタと、前記半導体層の一部と電気的に接続された第 1 電極と、該第 1 電極に対向配置された第 2 電極と、前記第 1 電極及び前記第 2 電極間に配置された窒化膜を含む誘電体膜とからなり、前記薄膜トランジスタの上に形成された蓄積容量とを備えている。そして、前記窒化膜は、前記半導体層を水素化するための開口部を有する。

【0011】

本発明の基板装置によれば、薄膜トランジスタと、その構成要素たる半導体層の一部と電気的に接続された蓄積容量とが備えられている。本発明では、上記の

ような構成の他、例えば、半導体層内のチャネル領域に対向するようにゲート絶縁膜を介して形成されるゲート電極、同半導体層内のソース領域及びドレイン領域に電氣的に接続されたソース電極及びドレイン電極等を備えることで、ゲート電極に対する通電により、ソース電極及びドレイン電極間の通電を制御するスイッチング素子として利用することが可能となる。また、前記の蓄積容量は、その構成要素たる第1電極が前記半導体層の一部、すなわち例えば前記ドレイン領域、あるいはドレイン電極と接続されていることにより、薄膜トランジスタのスイッチング動作に応じて、所定の電荷を蓄積するものとして利用することが可能となる。このような薄膜トランジスタ及び蓄積容量は、それぞれ、例えば後述する、液晶装置等の電気光学装置内における画素スイッチング用素子及び蓄積容量として好適に利用可能である。

【0012】

そして、本発明では特に、蓄積容量を構成する誘電体膜は窒化膜を含んでいる。これにより、従来のように、誘電体膜が酸化膜等からなるのではなく、比較的誘電率の大きい窒化膜を含んでなることにより、蓄積容量の容量を増大させることが可能となる。また、窒化膜には水分の浸入を防ぐ作用があるから、水分子が、薄膜トランジスタのゲート絶縁膜及び半導体層の界面に拡散することによって正電荷が発生し、スレッショルド電圧 V_{th} を上昇させてしまう、などという事態の発生を未然に回避することが可能となる。なお、上のような現象は特に、そのキャリアが正孔であるPチャネル型TFETにおいて顕著にみられる。

【0013】

また、本発明に係る窒化膜は特に、前記半導体層を水素化するための開口部を有している。これにより次のような作用効果が得られる。すなわち、誘電体膜が窒化膜を含む本発明においては、上述したような容量増大及び薄膜トランジスタの耐湿性向上等の作用効果を得ることが可能となるものの、該窒化膜は、薄膜トランジスタの特性向上に有用な水素化処理にとっては邪魔な存在になる。ここで水素化処理とは、薄膜トランジスタの半導体層中、あるいは該半導体層及び薄膜トランジスタを構成するゲート絶縁膜の界面におけるダングリングボンドの終端（すなわち例えば、 $Si-H$ 結合、あるいは $Si-OH$ 結合等を生成する。）

を目的とする処理である。これにより、ダングリングボンドが存在したままであると生じうる悪影響、すなわち、それに起因する界面準位が生成されることによって、薄膜トランジスタのオン・オフ電流特性等を劣化させるなどという悪影響を回避することができる。しかしながら、上記の窒化膜は、その構造が稠密であるなどの理由により、水素の進行を妨げる作用を有しており、薄膜トランジスタ上に、誘電体膜として窒化膜を含む蓄積容量が配置されると、前記水素化処理を十分効果的に実施することができなくなるのである。

【0014】

しかるに、本発明においては、上述のように、窒化膜を含む誘電体膜に「開口部」が具備されていることにより、水素は、この開口部を通じて薄膜トランジスタ、あるいはその構成要素たる半導体層等に比較的容易に到達することが可能となり、薄膜トランジスタに対する水素化処理を有効に実施することが可能となるのである。

【0015】

以上の如く、本発明によれば、窒化膜に係る作用効果と水素化処理に係る作用効果との両者を如何なく享受することが可能となる。すなわち、薄膜トランジスタのオン・オフ特性を良好に維持し、スレッシュホールド電圧 V_{th} の上昇を招く可能性を減少し、ホットキャリア耐性の向上を見込めることになる等、その特性向上が図られることになる。そして、そのような良好な特性を、比較的長期にわたって維持することも可能となる。

【0016】

なお、本発明にいう「開口部」とは、上述のことから明らかなように、半導体層と窒化膜との間で、水素の通り道を確保する機能を備えるものであればよい。

例えば、後述するように、窒化膜の存在位置を基準にその下方を平面的に見ると、開口部の直下に、該開口部を通して半導体層の表面が見えるがごとき関係にある場合が好適な具体的態様の一例であるのは勿論、そのような視点からは半導体層の表面は見えないが、開口部から半導体層に通ずる水素の通り道が存在するというような態様も含まれる。後者に関する、より具体的な例としては、例えば、半導体層の直上には窒化膜が存在するが、その右斜め上又は左斜め上の領域に

該窒化膜の開口部が存在するなどという形態を想定することができる。つまり、本発明にいう「開口部」は、このように、薄膜トランジスタから見て、いわば斜めの方向に半導体層を臨むかの如き場所に形成される場合を含む。

【0017】

また、このような「開口部」は、例えば、いったん基板の全面に窒化物からなる膜を成膜した後、フォトリソグラフィ法を利用してパターンニングすること等によって得ることが可能である。

【0018】

さらに、本発明にいう「窒化膜」としては、代表的には、シリコン窒化膜（SiN膜やSiON膜等）が想定される。ただし、それ以外のものであってもよいことは言うまでもない。さらには、本発明に係る「窒化膜」は、後述するようにプラズマによる窒化处理又はスパッタリング法で形成されるのが最も好適な態様の一つであるが、その他、PVD（Physical Vapor Deposition）法やCVD（Chemical Vapor Deposition）法等種々の成膜法によって形成されるようにしてよい。

【0019】

加えて、本発明は、上述した基板装置が具体的にどのような装置に適用されるかについて、特に限定されるものではないが、好ましくは例えば、液晶装置を構成するTFTアレイ基板等に適用されて好適である。

【0020】

本発明の基板装置の一態様では、前記開口部は、前記半導体層の鉛直上方に形成されている。

【0021】

この態様によれば、開口部と半導体層との配置関係は、窒化膜の存在位置を基準にその下方を平面的に見ると、開口部の直下に、該開口部を通して半導体層の表面が見えるがごときものとなる。したがって、本態様によれば、水素化处理において、半導体層に対する水素の導入を、最も有効に行うことができる。これにより、半導体層中等のダングリングボンドの解消をより有効に行うことができ、より高特性の薄膜トランジスタを構築することができる。

【0022】

この態様では特に、前記半導体層中のチャネル領域の鉛直上方に形成されているようにするとよい。このような構成によれば、ダングリングボンドの解消がもっとも望まれる、チャネル領域とゲート絶縁膜との界面において、水素化処理を有効に実施することができる。

【0023】

本発明の基板装置の一態様では、前記誘電体膜は、前記窒化膜からなる層を一層とする積層構造を有している。

【0024】

この態様によれば、前記窒化膜からなる層を含んでいるから、上述した窒化膜に起因する容量増大、水分浸入防止等の作用効果を得ることが可能であると同時に、本態様においては、該窒化膜からなる層を一層とする積層構造を有している、すなわち窒化膜からなる層以外の層が含まれているから、該積層構造を構成する他の層の材料選択等を適当に行えば、例えば、蓄積容量の耐圧性を向上させる等のその他の作用効果を見込むことができる。

【0025】

この態様では特に、前記積層構造には、酸化膜からなる層が含まれているようにするとよい。

【0026】

このような構成によれば、誘電体膜を構成する積層構造に、酸化膜に比べて、誘電率がより大きい窒化膜が含まれていることにより、容量増大の効果が得られると同時に、耐圧低下を抑えることができる。より具体的には例えば、順に、厚さ10nmの酸化膜、厚さ10nmの窒化膜及び厚さ10nmの酸化膜という三層構造によって、合計の厚さ30nm程度を確保するような形態では、12V程度の駆動電圧に対し、比較的十分な耐圧性能を期待することができる。

【0027】

なお、これに関連して、本発明に係る「窒化膜」の厚さは、水素化処理の具体的方法、水素化の対象となる半導体層の膜質や膜厚、基板装置の仕様に対応して要求される水素化の程度、当該窒化膜自体の膜質或いは窒化膜自体の成膜方法、

更には蓄積容量の誘電体膜として求められる性能等に応じて、個別具体的に变化するものである。本発明では、このような所定の厚さを、実験的、経験的、理論的に或いはシミュレーションによって、当該基板装置の製造に先立って予め個別具体的に設定しておくことが可能である。そして、一旦このような所定の厚みを設定すれば、その後は大量生産やバッチ処理において、特に窒化膜の厚みに調整を加えなくても、良好な水素化処理を行うことが出来る。これらの結果、最終的に完成される基板装置では、十分な水素化処理が施されており、かつ、蓄積容量の誘電体膜として十分な機能を有しているので、良好なトランジスタ特性及び蓄積容量特性が実現されており、しかも窒化膜が存在するので、良好な耐水性或いは耐湿性が実現されることになる。

【0028】

本発明の基板装置の他の態様では、前記基板上には、前記薄膜トランジスタがアレイ状に複数配列されている。

【0029】

この態様によれば、例えばTFTアクティブマトリクス駆動方式の液晶装置等の電気光学装置に好適に用いられるTFTアレイ基板装置を構築できる。

【0030】

本発明の電気光学装置は、上記課題を解決するために、基板上に延在する走査線と、前記走査線に交差する方向に延在するデータ線と、前記走査線及び前記データ線の交差部に対応するように形成された半導体層を含む薄膜トランジスタと、前記薄膜トランジスタに対応して設けられた画素電極とを有する。そして、さらに、前記半導体層の一部と電氣的に接続された第1電極と、該第1電極に対向配置された第2電極と、前記第1電極及び前記第2電極間に配置された窒化膜を含む誘電体膜からなり、前記薄膜トランジスタの上に形成された蓄積容量を有する。前記窒化膜は、前記半導体層を水素化するための開口部を有する。

【0031】

本発明の電気光学装置によれば、走査線を通じた走査信号の供給により、画素スイッチング用素子としての薄膜トランジスタのON・OFFを制御することで、データ線を通じたデータ信号の画素電極に対する印加を制御することができる。

。そして、上記のような構成のほか、このような画素電極等を備えた基板に対向するように、対向電極を備えた対向基板と、前記画素電極及び前記対向電極間に液晶等の電気光学物質（以下、「液晶」に代表させる。）等その他必要な構成を備えれば、両基板間に所定の電位差を生じさせ、液晶に電界を印加することが可能となる。これにより、液晶分子の配向状態等を変化させることが可能となるから、該液晶に対して光を照射すれば、その透過率を変化させることが可能となり、もって画像を表示することができる。

なお、本発明では特に、薄膜トランジスタを構成する半導体層の一部に電氣的に接続された蓄積容量が備えられているから、画素電極における電位、ひいては該画素電極及び対向電極間にかけて前記の電位差を、比較的長期にわたって維持することができ、高いコントラスト比等が達成された高品質な画像を表示することが可能となる。

【0032】

そして、発明の電気光学装置では特に、その構成から明らかなように、前述の基板装置を具備してなるから、既述したような作用効果を略同様に得ることができる。すなわち、窒化膜を含む誘電体膜を備えた蓄積容量の容量増大、また、窒化膜の存在による薄膜トランジスタの耐湿性向上という作用効果を得ることができる他、該窒化膜は、前記半導体層を水素化するための開口部を有することから、薄膜トランジスタの半導体層を対象とした水素化処理を好適に実施することができる。

【0033】

したがって、本発明に係る電気光学装置は、画素スイッチング用素子としての薄膜トランジスタが高特性を備え、また、これを比較的長期にわたり維持することが可能な性能も備えていることになり、当該電気光学装置においては、より高品質な画像の表示や、安定的な長期運用等を行うことができる。

【0034】

本発明の電気光学装置の一態様では、前記開口部は、前記画素電極の形成領域の範囲内で形成されている。

【0035】

この態様によれば、窒化膜の開口部は、画素電極の形成領域の範囲内で形成されているから、当該領域において予定される光の透過にとって、窒化膜の存在が邪魔になるようなことがない。すなわち、光は、開口部を通じて透過することが可能であるから、画像の明るさを損なうようなことを極力回避することが可能となるのである。

【0036】

本発明の電気光学装置の他の態様では、前記画素電極及び前記薄膜トランジスタはマトリクス状に配列されてなるとともに、前記走査線は前記マトリクス状に対応するようにストライプ状に形成されてなり、前記走査線に平行に形成された固定電位の容量線を更に備え、前記容量線は、前記第2電極を含む。

【0037】

この態様によれば、蓄積容量を構成する第2電極は、走査線に平行に形成された固定電位の容量線の少なくとも一部を構成していることになる。これにより、まず、容量線（すなわち、第2電極）を固定電位とするための配線数等を減少させることが可能であるから、装置構成の簡略化を図ることができる。また、本態様では、例えば、容量線及び走査線を平面的に見て重なり合うように形成すること等が可能であるから、従来見られたように、蓄積容量、あるいは容量線を光透過域にかかるように形成する場合等に比べて、画素開口率を高めることが可能となり、より明るい画像を表示することができる。また、本態様によれば、蓄積容量、薄膜トランジスタ及び画素電極間の基板上におけるレイアウトの自由度を高め、また、それらの配置をより効率的に行うことができる。

【0038】

本発明の電気光学装置の他の態様では、前記第1電極と前記半導体層の一部とを電氣的に接続する第1コンタクトホールと、前記第1電極と前記画素電極とを電氣的に接続する第2コンタクトホールとを更に備えている。

【0039】

この態様によれば、蓄積容量を構成する第1電極と、半導体層の一部及び画素電極それぞれとの電氣的な接続は、第1及び第2のコンタクトホールによって行われることになるから、蓄積容量、薄膜トランジスタ及び画素電極間の基板上に

おけるレイアウトの自由度を高め、また、それらの配置をより効率的に行うことができる。また、本態様によっても、薄膜トランジスタ、蓄積容量、画素電極等の基板上における配置をより効率的に行うことができる。

【0040】

この態様では特に、前記薄膜トランジスタは、アレイ状に複数配列されたNチャネル型の薄膜トランジスタであり、前記薄膜トランジスタは前記基板上の画像表示領域において画素スイッチング用に画素毎に設けられているとよい。

【0041】

このような構成によれば、画素スイッチング用のTFETとしては、電子がキャリアであるため、キャリア移動度に優れたNチャネル型TFETから構築できる。同時に、周辺回路については、このNチャネル型TFETと同一プロセスで同時形成可能なNチャネル型TFETに加えて、Pチャネル型TFETを含んでなるCMOS型TFETから構築できる。従って装置全体として、優れた特性のトランジスタを備えてなると共に寿命の長い基板装置を実現できる。

【0042】

本発明の基板装置の製造方法は、上記課題を解決するために、基板上に半導体層を含む薄膜トランジスタを形成する工程と、前記薄膜トランジスタ上に前記半導体層の一部と電気的に接続される第1電極を形成する工程と、前記第1電極に対向するように第2電極を形成する工程と、前記第1電極又は前記第2電極を形成する工程の後に、該第1電極又は該第2電極上に窒化膜を含む誘電体膜を形成する工程と、前記窒化膜に対するパターンニングを実施して前記半導体層を水素化するための開口部を形成する工程と、前記開口部を通じて前記半導体層に対して水素を導入し該半導体層を水素化する水素化处理工程とを含む。

【0043】

本発明の基板装置の製造方法によれば、最終的には、基板上に、薄膜トランジスタ及び蓄積容量が製造されることになる。このうち薄膜トランジスタは半導体層を含み、該半導体層には、適当な不純物の導入工程を実施することにより、ソース領域及びドレイン領域並びにチャネル領域を形成することができる。また、蓄積容量は、第1電極、誘電体膜及び第2電極のそれぞれを形成することによ

て製造されることになる。このうち第1電極は、上述の半導体層の一部、例えばドレイン領域と電氣的に接続される。

【0044】

そして本発明では特に、前記蓄積容量の形成工程の途中段階において、前記半導体層に対する水素化処理を実施する。すなわち、第1電極又は第2電極のいずれか一方を形成した後は、その一方の上に窒化膜を含む誘電体膜を形成し、該窒化膜に対して、パターンニングを実施して前記半導体層を水素化するための開口部を形成する。そして、この開口部を通じて前記半導体層に対して水素を導入し、該半導体層を水素化するのである。ちなみに、「水素化処理」とは、既に述べたとおりの内容及び意味を有する処理である。

【0045】

このように、本発明によれば、半導体層に対し開口部を通じて水素を導入することが可能となり、該半導体層に対する有効な水素化処理を実施することができる。したがって、本発明に係る製造方法により製造された基板装置では、オン・オフ特性等に優れた薄膜トランジスタを構築することができる。さらには、当該基板装置では、蓄積容量の誘電体膜に窒化膜が含まれていることにより、該蓄積容量の容量増大の効果が望める他、該窒化膜の存在によって、薄膜トランジスタの半導体層に対する水分の浸入を妨げることが可能となり、スレッショルド電圧の上昇などという事態の発生を未然に回避することができる。

【0046】

なお、本発明においては、上述したことからも明らかなように、第1電極及び第2電極のいずれを先に形成してもよい。第1電極を先に形成するのであれば、蓄積容量は、薄膜トランジスタ上、下から順に、第1電極、誘電体膜及び第2電極という順番の積層構造を有することとなり、その逆では、逆の順番の積層構造を有することとなる。これらの場合、半導体層の一部と電氣的に接続されるのは、第1電極であるから、結局のところ本発明は、薄膜トランジスタと蓄積容量との具体的な接続部分について、それが上部電極膜であるか下部電極膜であるかを特に限定しないのである。

【0047】

本発明の電子機器は、上記課題を解決するために、上述した本発明の電気光学装置（ただし、その各種態様も含む）を具備してなる。

【0048】

この態様によれば、上述した本発明の基板装置を具備してなるので、高性能で長寿命の電気光学装置を表示部として有する、投射型表示装置或いはプロジェクタ、液晶テレビ、パソコンやモバイル或いは携帯端末のモニター部、ページャ、携帯電話の表示部、カメラのファインダ部などの各種電子機器を実現できる。

【0049】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0050】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【0051】

（第1実施形態）

まず、本発明の第1実施形態の基板装置の製造方法及び構成について、図1乃至図5を参照しながら説明する。ここに、図1乃至図4は、第1実施形態の基板装置の製造方法をその順に沿って示す工程図であり、工程毎のTFT付近における断面構造を示している。また、図5は、図3の工程（8）における窒化膜形成工程において、該窒化膜に形成される開口部と、その下に位置するTFTの半導体層の一例たるポリシリコン膜との配置関係を示す説明図である。なお、第1実施形態及び後述の第2の実施形態において参照する図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0052】

図1において、その工程（1）では、例えばガラス、石英、プラスチック等からなる基板200が用意され、工程（2）では、その上にポリシリコン膜が形成された後、フォトリソグラフィ及びエッチングにより、TFTのソース領域、チャネル領域及びドレイン領域を含む所定パターンのポリシリコン膜202（本発明

にいう「半導体層」の一例に該当する。)が形成される。このようなポリシリコン膜 202 としては、低温ポリシリコン膜でもよいし、高温ポリシリコン膜、又はアモルファスシリコンでもよい。

【0053】

次に、工程(3)では、ドライ酸化により、ポリシリコン膜 202 の表面に、後述の TFT を構成するゲート絶縁膜となるべき熱酸化シリコン膜 204 が形成される。これは、例えば前記ポリシリコン膜 202 の表面をドライ酸化することによって形成することができる。ただし、本発明は、前記したドライ酸化による方法の他、ウェット酸化による方法や、CVD法を利用してTEOS（テトラ・エチル・オルソ・シリケート）膜を形成する方法、あるいはプラズマを利用して酸化膜を形成する方法のいずれか少なくとも一つを含むようにしてもよい。また、場合によっては、ドライ酸化を経て熱酸化膜を形成した後、その上にプラズマ酸化膜を形成する、という場合であってもよい。

【0054】

次に、工程(4)では、前記熱酸化シリコン膜 204 の上に、ゲート電極膜 206 を形成する。このゲート電極膜 206 は、例えば、減圧CVD法等によりポリシリコン膜を堆積し、更にリンを熱拡散して導電化することによって形成される。なお、ゲート電極膜 206 は、基板 200 の全面にいったんポリシリコン膜を堆積した後これを元の膜とし、フォトリソグラフィ法を利用して、所望のパターンを有するようにパターニングされて形成されるのが一般的である。なお、それ以外の材料からなる、あるいはそれ以外の製造方法によって、ゲート電極膜 206 を形成してよいことは勿論である。

【0055】

なお、この工程(4)では、このゲート電極膜 206 をマスクとして、ポリシリコン膜 202 に対する不純物の導入を実施することで、該ポリシリコン膜 202 中に、ソース領域、チャネル領域及びドレイン領域を形成するようにするとよい。ここで、前記不純物がボロンイオン等である場合には、最終的に形成される TFT は P チャネル型として、前記不純物がリンイオン、あるいはヒ素イオン等である場合には N チャネル型として、それぞれ形成されることになる。また、ゲ

ート電極膜 206 をマスクとして不純物の導入を行えば、いわゆる自己整合的にソース領域、チャネル領域及びドレイン領域を形成することが可能となる。

【0056】

次に、工程（5）では、酸化シリコン膜等からなる第1層間絶縁膜 210 を形成した後、該第1層間絶縁膜 210 にドライエッチングを施すことで、ポリシリコン膜 202 のソース領域に通ずるコンタクトホール 209 を穿設し、第1層間絶縁膜 210 上及びコンタクトホール 209 の内部を含めて、例えばアルミニウム等からなるソース電極膜 212 を形成する。なお、工程（5）における第1層間絶縁膜 210 の具体的な形成方法としては、例えば、常圧又は減圧 CVD 法等により、TEOS ガス、TEB（テトラ・エチル・ボートレート）ガス、TMO P（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG（ノンシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなるものとして形成することが可能である。この点については、すぐ後の第2層間絶縁膜 214 でも同様である。

【0057】

次に、工程（6）では、上述のソース電極膜 212 の形成後、第2層間絶縁膜 214 を形成した後、該第2層間絶縁膜 214 及び第1層間絶縁膜 210 にドライエッチングを施すことで、ポリシリコン膜 202 のドレイン領域に通ずるコンタクトホール 215 を穿設し、第2層間絶縁膜 214 上及びコンタクトホール 215 の内部を含めて、導電膜からなるドレイン電極膜 216 を形成する。以上の工程（1）～（6）によって、基板 200 上に TFT が構築される。

【0058】

次に、第1実施形態では特に、工程（7）では、ドレイン電極膜 216 上に、例えばシリコン酸化膜（SiO膜）等からなる酸化膜 208A を形成し、続く工程（8）では、酸化膜 208A 上に、例えばシリコン窒化膜（SiN膜、SiON膜）等からなる窒化膜 208B を形成する。これら酸化膜 208A 及び窒化膜 208B は、例えば、プラズマによる酸化処理若しくは窒化処理又はスパッタリング法等により形成することができる。また、それぞれの厚さは、酸化膜 208A が

20 nm程度、窒化膜 208 Bが10 nm程度等とすればよい。

【0059】

さらに、両膜 208 A及び208 Bに対しては、それぞれ、フォトリソグラフィ法を利用するなどして、適当なパターンニング処理を施す。この際、窒化膜 208 Bに関しては特に、ポリシリコン膜 202の鉛直上方について、開口部 208 BMが形成されるように、パターンニングを実施する。これにより、窒化膜 208 Bの開口部 208 BM及びポリシリコン膜 202との配置関係は、図3の工程(8)、あるいは図5に示すようなものとなる。ここに図5は、当該配置関係を、図3の工程(8)の矢印Qの方向から斜視的に臨んだ状態を示す説明図である。

なお、この図5においては、当該配置関係をわかり易く示すことを目的として、上述の窒化膜 208 B及びポリシリコン膜 202のみを示すこととし、その他の構成(例えば、ゲート電極膜 206、ソース電極膜 212及びドレイン電極 216等)についての図示は省略することとする。

【0060】

この図5では、ポリシリコン膜 202は、平面的に見て、「I」の字型の形状を有しており、その一端には、該ポリシリコン膜 202のドレイン領域とドレイン電極膜 216とを電気的に接続するコンタクトホール 215の下端が位置するようになっている。また、ポリシリコン膜 202の他端には、該ポリシリコン膜 202のソース領域とソース電極膜 212とを電気的に接続するコンタクトホール 209の下端が位置するようになっている。そして、図5では特に、窒化膜 208 Bの図面略中央部に開口部 208 BMが形成されており、該開口部 208 BMを覗くと、ポリシリコン膜 202のチャネル領域 202 a'の表面がみえるようになっている(ただし、ゲート電極膜 206等その他の構成要素が存在することとで、実際に見えるとは限らない。)

【0061】

以上のような開口部 208 BMを形成したら次に、図4の工程(9)に示すように、窒化膜 208 Bの上に、適当な導電性材料からなる上部電極膜 218を形成する。この上部電極膜 218については、窒化膜 208 B上における前記の開口部 208 BMの形成位置に対応するように、フォトリソグラフィ法を利用するこ

と等によって、開口部を設けておく。これにより、上部電極膜 218 及びドレイン電極膜 216 間で短絡を生じさせる可能性を極めて低く抑えることが可能となる。ただし、第 1 実施形態では、上述のように酸化膜 208A が設けられているから、この酸化膜 208A について図に示すように開口部を形成しないならば、上部電極膜 218 について、必ずしも開口部を設ける必要はない。このようにしても、酸化膜 208A の絶縁作用により、上部電極膜 218 及びドレイン電極膜 216 間の短絡が直ちに生じるわけではないからである。

【0062】

以上の各工程により、第 1 実施形態に係る基板装置では、ポリシリコン膜 202 を含む TFT 上に、ドレイン電極膜 216、酸化膜 208A 及び窒化膜 208B からなる誘電体膜及び上部電極膜 218 からなる蓄積容量が形成されることになる。

【0063】

次に、工程(10)では、ファーネス（拡散炉）内にて、水素原子を含む雰囲気中でアニール処理することにより、上記ポリシリコン膜 202 中に水素を含ませる（水素化処理の実施）。ちなみに、このアニール処理によれば、自動的に、ポリシリコン膜 202 とゲート絶縁膜たる熱酸化シリコン膜 204 との界面及びその近傍にも水素が含まれることになる。

【0064】

この際、本実施形態では特に、窒化膜 208B において、図 5 に示したような開口部 208BM が形成されていたことにより、ポリシリコン膜 202、あるいはそのチャネル領域 202a' に対する水素の導入を問題なく実施することができる。この点、もし、ポリシリコン膜 202 を覆うように、開口部 208BM のない窒化膜 208B が存在したとすると、該窒化膜 208B によって、水素の進行が阻害されることとなり、十分な水素化処理が実施できなくなることは大いに異なる。

【0065】

このような有効な水素化処理により、ポリシリコン膜 202 中及び前記界面におけるダングリングボンドは、水素 H を絡ませた形、すなわち Si-H 結合や S

i-OH結合等で終端されることになる。したがって、第1実施形態に係る基板装置によれば、ダングリングボンドの存在に起因する界面準位が生成されることがなく、薄膜トランジスタのオン・オフ特性を良好に維持することが可能となる。

【0066】

なお、上述においては、水素アニールを実施することにより、ポリシリコン膜202中に水素を含ませる形態となっていたが、本発明においては、この他、ポリシリコン膜202に対して水素を導入する方法として水素プラズマを利用することによる方法や、水素を含むシンター処理又は水素イオンを注入する処理等を実施してもよい。また、水素化処理を実施する段階は、上述のように、蓄積容量が形成された直後に限られない。例えば、後述の（電気光学装置の製造方法）において説明するように、図4の工程（10）に続いて、更に層間絶縁膜、画素電極等を形成する場合においては、それら構成要素の形成工程を実施した後に、水素化処理を実施するようにしてもよい。

【0067】

このような製造方法及び構成となる第1実施形態の基板装置においては、次のような作用効果が奏されることになる。

【0068】

すなわちまず、蓄積容量の誘電体膜として、誘電率の大きい窒化膜208Bが含まれていることにより、従来に比べて、蓄積容量の容量を増大させることが可能となる。また、第1実施形態では特に、窒化膜208Bに加え、これと酸化膜208Aとが積層構造を構成するように、蓄積容量の誘電体膜が形成されていることにより、その耐圧性を向上させることができる。

【0069】

また、このような窒化膜208Bの存在により、ポリシリコン膜202に対して水分が浸入するようなことがない。したがって、第1実施形態では、水分子が、薄膜トランジスタのゲート絶縁膜及び半導体層の界面に拡散することによって正電荷が発生し、スレッショルド電圧 V_{th} を上昇させてしまう、などという事態の発生を未然に回避することが可能となる。

【0070】

さらには、第1実施形態では、上述の工程(10)において、水素化処理を実施するにあたり、工程(8)において形成された窒化膜208Bがポリシリコン膜202に対する水素の導入の妨げとなるようなことがない。これは、同じく工程(8)において、該窒化膜208Bに対し、開口部208BMが形成されることによる。水素化処理において導入される水素は、この開口部208BMを通じて、ポリシリコン膜202、あるいはそのチャネル領域202a'に問題なく到達することが可能となるのである。これにより、ポリシリコン膜202には、十分な水素が導入されることによって、該ポリシリコン膜202内等のダングリングボンドを有効に終端することが可能となるのである。

【0071】

ちなみに、第1実施形態では、上述したように、プラズマによる窒化処理又はスパッタリング法によって窒化膜208Bを形成した後に、水素化処理を実施する製造方法をとっていたが、これにより、次のような作用効果が奏される。すなわち、このような方法により窒化膜208Bを形成する場合には、当該形成工程は、例えば650～800℃程度という比較的高温環境下において実施されることになる。ここでもし、窒化膜208Bの形成前に、上述のような水素化処理工程を実施する場合を考えると、該工程により生成されたSi-H結合等は、その後実施される窒化膜208Bの形成工程に伴う上記の高温の環境下に曝されることになる。したがって、この場合、せっかく生成されたSi-H結合等が切断されるおそれがあることになる。

【0072】

しかるに、第1実施形態では、窒化膜208Bの形成後に、水素化処理を実施することにより、上述のような不都合を被るおそれがない。すなわち、一旦生成されたSi-H結合等は、基板装置の出荷段階に至るまで維持することが可能となるのである。

【0073】

以上述べたように、第1実施形態に係る基板装置によれば、良好な特性を有し、かつ、それが長期にわたって持続するTFTの製造が可能となる。

【0074】

(第2実施形態)

次に、本発明の第2の実施の形態について、図6から図11を参照しながら説明する。第2実施形態は、上述した基板装置の実施形態を、アクティブマトリクス基板であるTFTアレイ基板として備えたものであり、該TFTアレイ基板と対向基板とを対向配置して、両者間に液晶等の電気光学物質を挟持してなる電気光学装置に係るものである。

【0075】

まず、図6から図8を参照して、第2実施形態に係る電気光学装置の画像表示領域における構成及びその動作について説明する。ここに、図6は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。また、図7は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図8は、図7のK-K'断面図である。

【0076】

図6において、第2実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には、それぞれ、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしてもよい。

【0077】

また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。

【0078】

画素電極 9a を介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号 S1、S2、…、Sn は、対向基板に形成された対向電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能とする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストをもつ光が出射する。

【0079】

ここで保持された画像信号がリークするのを防ぐために、画素電極 9a と対向電極との間に形成される液晶容量と並列に蓄積容量 70 を付加する。この蓄積容量 70 は、走査線 3a に並んで設けられ、固定電位側容量電極を含むとともに定電位に固定された容量線 300 を含んでいる。ちなみに、この蓄積容量 70 は、上記第 1 実施形態における「蓄積容量」に相当すると考えることができる。

【0080】

以下では、上記データ線 6a、走査線 3a、TFT30 等による、上述のような回路動作が実現される電気光学装置の、より実際の構成について、図 7 及び図 8 を参照して説明する。

【0081】

まず、第 2 実施形態に係る電気光学装置は、図 7 の K-K' 線断面図たる図 8 に示すように、透明な TFT アレイ基板 10 と、これに対向配置される透明な対向基板 20 とを備えている。TFT アレイ基板 10 は、例えば、石英基板、ガラス基板、シリコン基板からなり、対向基板 20 は、例えばガラス基板や石英基板からなる。

【0082】

TFT アレイ基板 10 には、図 8 に示すように、画素電極 9a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。画素電極 9a は、例えば ITO (Indium Tin Oxide) 膜等の透明

導電性膜からなる。他方、対向基板 20 には、その全面に渡って対向電極 21 が設けられており、その図中下側には、ラビング処理等の所定の配向処理が施された配向膜 22 が設けられている。このうち対向電極 21 は、上述の画素電極 9a と同様に、例えば ITO 膜等の透明導電性膜からなり、前記の配向膜 16 及び 22 は、例えば、ポリイミド膜等の透明な有機膜からなる。

【0083】

このように対向配置された TFT アレイ基板 10 及び対向基板 20 間には、後述のシール材（図 10 及び図 11 参照）により囲まれた空間に液晶等の電気光学物質が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9a からの電界が印加されていない状態で配向膜 16 及び 22 により所定の配向状態をとる。液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した電気光学物質からなる。シール材は、TFT 基板 10 及び対向基板 20 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【0084】

一方、図 7 において、前記画素電極 9a は、TFT アレイ基板 10 上に、マトリクス状に複数設けられており（点線部 9a' により輪郭が示されている）、画素電極 9a の縦横の境界に各々沿ってデータ線 6a 及び走査線 3a が設けられている。このうちデータ線 6a は、アルミニウム膜等の金属膜あるいは合金膜からなり、走査線 3a は、導電性のポリシリコン等からなる。また、走査線 3a は、半導体層 1a のうち図中右上がりの斜線領域で示したチャネル領域 1a' に対向するように配置されており、走査線 3a はゲート電極として機能する。すなわち、走査線 3a とデータ線 6a との交差する箇所にはそれぞれ、チャネル領域 1a' に走査線 3a の本線部がゲート電極として対向配置された画素スイッチング用の TFT 30 が設けられている。

【0085】

TFT 30 は、図 8 に示すように、LDD (Lightly Doped Drain) 構造を有しており、その構成要素としては、上述したようにゲート電極として機能する走

査線 3 a、例えばポリシリコン膜からなり走査線 3 a からの電界によりチャネルが形成される半導体層 1 a のチャネル領域 1 a'、走査線 3 a と半導体層 1 a とを絶縁するゲート絶縁膜を含む絶縁膜 2、半導体層 1 a における低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 並びに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を備えている。

【0086】

なお、TF T 3 0 は、好ましくは図 8 に示したように LDD 構造をもつが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造をもってよいし、走査線 3 a の一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルフアライン型の TF T であってもよい。また、第 2 実施形態では、画素スイッチング用 TF T 3 0 のゲート電極を、高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。このようにデュアルゲート、あるいはトリプルゲート以上で TF T を構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。さらに、TF T 3 0 を構成する半導体層 1 a は非単結晶層でも単結晶層でも構わない。単結晶層の形成には、貼り合わせ法等の公知の方法を用いることができる。半導体層 1 a を単結晶層とすることで、特に周辺回路の高性能化を図ることができる。

【0087】

一方、図 7 及び図 8 においては、蓄積容量 7 0 が、TF T 3 0 の高濃度ドレイン領域 1 e 及び画素電極 9 a に接続された画素電位側容量電極としての中継層 7 1（本発明にいう「第 1 電極」の一例に該当する。）と、固定電位側容量電極としての容量線 3 0 0 の一部（本発明にいう「第 2 電極」の一例に該当する。）とが、誘電体膜 7 5 を介して対向配置されることにより形成されている。この蓄積容量 7 0 によれば、画素電極 9 a における電位保持特性を顕著に高めることが可能となる。

【0088】

中継層 71 は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。ただし、中継層 71 は、後に述べる容量線 300 と同様に、金属又は合金を含む単一層膜又は多層膜から構成してもよい。中継層 71 は、画素電位側容量電極としての機能のほか、コンタクトホール 83 及び 85（本発明にいう「第 1 のコンタクトホール」及び「第 2 のコンタクトホール」の一例に該当する。）を介して、画素電極 9a と TFT 30 の高濃度ドレイン領域 1e とを中継接続する機能をもつ。このような中継層 71 を利用すれば、層間距離が例えば 2000 nm 程度と長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ、比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続することができ、画素開口率を高めることが可能となる。また、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。また、別の観点から言えば、このような中継層 71 を介して、画素電極 9a と TFT 30 とを電氣的に接続する形態によれば、これら画素電極 9a、TFT 30 及び蓄積容量 70 の基板上におけるレイアウトの自由度が高まり、また、これらの配置をより効率的に行うことができるということもいえる。

【0089】

容量線 300 は、例えば金属又は合金を含む導電膜からなり固定電位側容量電極として機能する。この容量線 300 は、平面的に見ると、図 7 に示すように、走査線 3a の形成領域に重ねて形成されている。より具体的には容量線 300 は、走査線 3a に沿って延びる本線部と、図中、データ線 6a と交差する各個所からデータ線 6a に沿って上方に夫々突出した突出部と、コンタクトホール 85 に対応する個所が僅かに括れた括れ部とを備えている。このうち突出部は、走査線 3a 上の領域及びデータ線 6a 下の領域を利用して、蓄積容量 70 の形成領域の増大に貢献する。この容量線 300 は、画素電極 9a が配置された画像表示領域 10a からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。このような定電位源としては、データ線駆動回路 101 に供給される正電源や負電源の定電位源でもよいし、対向基板 20 の対向電極 21 に供給される定電位でも構わない。

【0090】

このように、第2実施形態においては、容量線300が蓄積容量70の固定電位側容量電極を含むような構成となっていることから、まず、容量線300を固定電位とするための配線数等を減少させることが可能である。また、第2実施形態では、容量線300は走査線3aと重なり合うように、かつ、画素電極9a間を縫うように形成されていることから、画素開口率を非常に高めることが可能となっている（図7参照）。さらには、このような容量線300を固定電位側容量電極として使用する形態によれば、蓄積容量70、TFT30及び画素電極9a間の基板上におけるレイアウトの自由度が高まり、また、それらの配置を効率的に行うことができる。例えば、図7では、容量線300と走査線3aとが重なり合うように形成されているが、これらを、同一の平面内において平行に延設するような形態とすることも可能である。

【0091】

そして第2実施形態では特に、誘電体膜75は、図8に示すように、例えば膜厚5～200nm程度の比較的薄い窒化膜（例えば、SiN）から構成されている。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄いほどよい。このような誘電体膜75には、図7及び図8に示すように、開口部75Mが形成されている。この開口部75Mは、上述のTFT30を構成する半導体層1a中のチャネル領域1a'の表面が見えるかのごとき状態で形成されている（ただし、走査線3a等その他の構成要素が存在することで、実際に見えるとは限らない。）。第2実施形態において、TFT30及びその半導体層1aがマトリクス状に複数配列されていることに対応して、誘電体膜75の開口部75Mもまた、マトリクス状に複数配列するように形成されている。なお、誘電体膜75はTFTアレイ基板10の全面を覆うように形成されているため、図7においては、上述の開口部75M以外の誘電体膜75については、これを明示していない。

【0092】

ちなみに、このような誘電体膜75の開口部75Mの位置に対応するように、容量線300についても同位置に開口部が形成されている（図8参照）。これにより、容量線300と中継層71との短絡が未然に防止される。ただし、誘電体

膜 75 が、上記第 1 実施形態で説明したように、酸化膜と窒化膜との積層構造を有する場合においては、そのうちの酸化膜のみ開口部 75M を覆うように形成しておけば容量線 300 及び中継層 71 間の短絡は生じない。したがって、そのような場合においては、容量線 300 の開口部は必ずしも設ける必要はない。

【0093】

以上に述べた、蓄積容量 70 を構成する中継層 71、誘電体膜 75 及び容量線 300 は、上記第 1 実施形態における基板装置において、蓄積容量を構成していたドレイン電極膜 216、酸化膜 208A 及び窒化膜 208B (=誘電体膜)並びに上部電極膜 218 にそれぞれ該当していると考えることができる。

【0094】

図 7 及び図 8 においては、上記のほか、TFT30 の下側に、下側遮光膜 11a が設けられている。下側遮光膜 11a は、格子状にパターンニングされており、これにより各画素の開口領域を規定している。なお、開口領域の規定は、図 7 中のデータ線 6a と、これに交差するよう形成された容量線 300 とによっても、なされている。また、下側遮光膜 11a についても、前述の容量線 300 の場合と同様に、その電位変動が TFT30 に対して悪影響を及ぼすことを避けるために、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【0095】

また、TFT30 下には、下地絶縁膜 12 が設けられている。下地絶縁膜 12 は、下側遮光膜 11a から TFT30 を層間絶縁する機能のほか、TFTアレイ基板 10 の全面に形成されることにより、TFTアレイ基板 10 の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用の TFT30 の特性変化を防止する機能を有する。

【0096】

加えて、走査線 3a 上には、高濃度ソース領域 1d へ通じるコンタクトホール 81 及び高濃度ドレイン領域 1e へ通じるコンタクトホール 83 がそれぞれ開孔された第 1 層間絶縁膜 41 が形成されている。第 1 層間絶縁膜 41 上には、中継層 71 及び容量線 300 が形成されており、これらの上には高濃度ソース領域 1d へ通じるコンタクトホール 81 及び中継層 71 へ通じるコンタクトホール 85

がそれぞれ開孔された第2層間絶縁膜42が形成されている。なお、本実施形態では、第1層間絶縁膜41に対しては、約1000℃の焼成を行うことにより、半導体層1aや走査線3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第2層間絶縁膜42に対しては、このような焼成を行わないことにより、容量線300の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0097】

第2層間絶縁膜42上には、データ線6aが形成されており、これらの上には中継層71へ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。第3層間絶縁膜43の表面は、CMP (Chemical Mechanical Polishing) 処理等により平坦化されており、その下方に存在する各種配線や素子等による段差に起因する液晶層50の配向不良を低減する。ただし、このように第3層間絶縁膜43に平坦化処理を施すのに代えて、又は加えて、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜41及び第2層間絶縁膜42のうち少なくとも一つに溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより、平坦化処理を行ってもよい。

【0098】

以上のように、第2実施形態に係る電気光学装置においては、画素電極9aの電位保持特性を向上させる蓄積容量70を構成する誘電体膜75が窒化膜から構成されており、かつ、該誘電体膜75には、TFT30の半導体層1aの表面がみえるかのごとき開口部75Mが形成されている。これにより、上記第1実施形態の基板装置において享受し得た作用効果は、第2実施形態においても略同様に享受しうることになる。すなわち、誘電体膜75が誘電率の比較的大きい窒化膜から構成されていることにより、その容量を増大させることが可能となり、また、該窒化膜の存在によって、画素スイッチング用素子たるTFT30の耐湿性を向上させることが可能となる。さらには、開口部75Mの存在により、TFT30の半導体層1aに対して、十分な水素化処理を実施することができる。

【0099】

なお、上述においては、開口部75Mは、半導体層1aの表面、特にチャネル

領域 1 a' の全面を臨めるような形で形成されていたが、本発明は、このような形態に限定されるわけではない。例えば図 9 に示すように、半導体層 1 a の直上ではなく、そこから若干離れた場所に、開口部 7 5 M' を形成するような形態としてよい。すなわち、透明な誘電体膜 7 5 を構成する窒化膜は、画素表示領域の前面に形成されている。そして、開口部 7 5 M' はデータ線 6 a に沿うと共に、画素電極 9 a の縁部に位置するように設けられている。このように、半導体層 1 a の直上に開口部が形成されていない形態であっても、該半導体層 1 a に対する水素の導入は、相応に実現することができる。これは、開口部 7 5 M' を通じて導入された水素原子が、例えば図 9 の破線矢印で示すように、第 1 層間絶縁膜 4 1 内等を拡散して、半導体層 1 a あるいはチャネル領域 1 a' に到達しうることによる。このように、本発明では、効果的な水素化処理が行える限り、基本的にどのような形態となる開口部であっても、その範囲内に収めるものである。

【0100】

ただし、窒化膜には、上述した水分浸入防止作用の発揮も期待されているから、余りに大きな面積の開口部を設けることは好ましくない。また逆に、図 7 や図 9 において、符号 9 a が付されている画素電極の形成領域は、光の透過領域であることから、当該領域の範囲内には、なるべく画素電極 9 a 以外の構成要素が存在すべきではないといえることにより、当該領域内において、比較的大きな面積の開口部を設けることは、場合により許容されるといえる。このようにすれば、画像の明るさを損なう等という事態を未然に回避することができるからである。

【0101】

窒化膜、あるいはその開口部の具体的態様は、以上のような各種の事情を勘案した上で、実験的、経験的、理論的、あるいはシミュレーション等によって、適宜、好適なものを定め得る。

【0102】

(電気光学装置の全体構成)

以上のような構成を有する電気光学装置の全体的な構成は、例えば図 10 及び図 11 のようになる。ここに図 10 は、TFT アレイ基板 10 をその上に形成された各構成要素と共に対向基板 20 の側から見た平面図であり、図 11 は、対向

基板 20 を含めて示す図 10 の H-H' 断面図である。

【0103】

図 10 において、TFT アレイ基板 10 の上には、シール材 52 がその縁に沿って設けられており、その内側に並行して、画像表示領域 10a の最外周を規定する額縁遮光膜 53 が設けられている。シール材 52 の外側の領域には、データ線駆動回路 101 及び外部回路接続端子 102 が TFT アレイ基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って設けられている。更に TFT アレイ基板 10 の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1 箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電氣的導通をとるための上下導通材 106 が設けられている。そして、図 10 に示すように、シール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により TFT アレイ基板 10 に固着されている。

【0104】

なお、本実施形態では好ましくは、画像表示領域 10a に作り込む画素スイッチング用の TFT 30 については N チャンネル型 TFT から構成するとよい。同時に、周辺領域に作り込むデータ線駆動回路 101、走査線駆動回路 104 等の周辺回路を構成する TFT については、N チャンネル型 TFT 及び P チャンネル型 TFT を含む CMOS 型 TFT を含めて構成すると好ましい。このように構成すれば、電子がキャリアであるためキャリア移動度に優れた N チャンネル型 TFT を用いて、画素スイッチングを高駆動周波数で良好に行えと共に、駆動電流特性等に優れた CMOS を用いて周辺回路を構成しつつ装置全体の長寿命化を図ることが可能となる。

【0105】

また、以上図 6 から図 11 を参照して説明した電気光学装置の実施形態では、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (テープオートメイテッドボンディング基板) 上に実装された駆動用 LSI に、TFT アレイ基板 10 の周辺部に設けられた異

方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、上述の電気光学装置では、対向基板 20 の外面及び TFT アレイ基板 10 の外面には各々、例えば、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、VA (Vertically Aligned) モード、PDLC (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。また、電気光学装置は、液晶装置に限るものでなく、EL 素子等の発光素子を有する表示装置や、電気泳動装置等にも適用できる。

【0106】

(電気光学装置の製造方法)

以下では、上述のような構成となる電気光学装置の製造方法について説明する。なお、上述の第 1 実施形態において説明した、図 4 の工程 (10) と図 8 とを比較するとわかるように、両者間には、厳密に言えば、ソース電極膜 212 に該当することとなるデータ線 6a の配置等若干異なるところはあるものの、基本的にはほぼ同様な構造を有するものであることがわかる (なお、それらの相違点は本発明にとって重要な差異ではない。)。したがって、第 2 実施形態では、前記の図 4 の工程 (10) に続けて、当該 TFT を含む画素部を備えた、液晶装置等の電気光学装置を製造する場合について説明する。

【0107】

まず、その前提として、TFT 30 は基板 200 上でマトリクス状に複数形成されるようにしておく。また、前記ゲート電極膜 206 及び前記ソース電極膜 212 は、それぞれ、基板 200 上において前記マトリクス状に対応するようなストライプ状に形成し、これら全体で、例えば、格子状を形作るようにする。これによって、ゲート電極膜 206 は走査線 3a の一部を構成し、ソース電極膜 212 はデータ線 6a の一部を構成することとなる。

【0108】

以上の前提の下、電気光学装置ないしその画素部を製造するためには、図 4 の工程 (10) に続いて、上部電極膜 218 の上層として、第 3 層間絶縁膜を形成

した後、該第3層間絶縁膜に対してコンタクトホールを形成し、該コンタクトホールを埋めるように、かつ、第3層間絶縁膜上に、ITO等の透明導電性材料からなる画素電極9aを形成する。次に、この画素電極9a上に、ポリイミド系の透明な有機材料からなる塗布液を塗布した後、所定のプレティルト角をもつように、かつ所定方向でラビング処理を施すこと等により、配向膜16を形成する。これにより、TFTアレイ基板10側の製造は完了することとなる。

【0109】

一方、ガラス基板、石英基板等からなる対向基板20を用意するとともに、該対向基板20の全面に、ITO等の透明導電性材料を用いて対向電極21をスパッタ法等を用いて形成し、その後、該対向電極21上に、上述の配向膜16と同様にして、ポリイミド系の透明な有機材料からなる塗布液を塗布した後、所定のプレティルト角をもつように、かつ所定方向でラビング処理を施すこと等によって、配向膜22を形成する。

【0110】

最後に、以上のように各種構成が作り込まれたTFTアレイ基板10と対向基板20とを対向させるように貼り合わせるとともに、両基板間の間隙内に電気光学物質の一例たる液晶50を封入することによって、電気光学装置の製造は完了することとなる。

【0111】

(電子機器)

次に、以上詳細に説明した電気光学装置をライトバルブとして用いた電子機器の一例たる投射型カラー表示装置の実施形態について、その全体構成、特に光学的な構成について説明する。ここに図12は、投射型カラー表示装置の図式的断面図である。

【0112】

図12において、本実施形態における投射型カラー表示装置の一例たる液晶プロジェクタ1100は、駆動回路がTFTアレイ基板上に搭載された液晶装置100を含む液晶モジュールを3個用意し、夫々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶

プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3 枚のミラー 1106 及び 2 枚のダイクロイックミラー 1108 によって、RGB の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 100R、100G 及び 100B に夫々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1122、リレーレンズ 1123 及び出射レンズ 1124 からなるリレーレンズ系 1121 を介して導かれる。そして、ライトバルブ 100R、100G 及び 100B により夫々変調された 3 原色に対応する光成分は、ダイクロイックプリズム 1112 により再度合成された後、投射レンズ 1114 を介してスクリーン 1120 にカラー画像として投射される。

【0113】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う基板装置及びその製造方法、電気光学装置及び電子機器もまた、本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態の基板装置の製造方法を、順を追って示す工程図（その 1）である。

【図 2】 本発明の第 1 実施形態の基板装置の製造方法を、順を追って示す工程図（その 2）である。

【図 3】 本発明の第 1 実施形態の基板装置の製造方法を、順を追って示す工程図（その 3）である。

【図 4】 本発明の第 1 実施形態の基板装置の製造方法を、順を追って示す工程図（その 4）である。

【図 5】 図 3 の工程（8）において形成される窒化膜及びその開口部と TFT の半導体層たるポリシリコン膜との配置関係を斜視的に示す説明図である。

【図 6】 本発明の第 2 実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路を示す回路図である。

【図 7】 本発明の第 2 実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

【図 8】 図 7 の K-K' 断面図である。

【図 9】 図 7 と同趣旨の図であって、第 2 実施形態の変形形態を示す平面図である。

【図 10】 本発明の第 2 実施形態の電気光学装置における TFT アレイ基板を、その上に形成された各構成要素とともに対向基板の側から見た平面図である。

【図 11】 図 10 の H-H' 断面図である。

【図 12】 本発明の電子機器の実施形態に係る投射型カラー表示装置の概略ブロック図である。

【符号の説明】

- 200…石英基板
- 202…ポリシリコン膜
- 202a'…チャネル領域
- 204…熱酸化シリコン膜
- 206…ゲート電極膜
- 216…ドレイン電極膜
- 218…上部電極膜
- 208A…酸化膜
- 208B…窒化膜
- 208BM…開口部
- 1a…半導体層
- 1a'…チャネル領域
- 2…絶縁膜（ゲート絶縁膜を含む）
- 3a…走査線
- 10…TFT アレイ基板
- 30…TFT

7 0 …蓄積容量

7 1 …中継層

3 0 0 …容量線

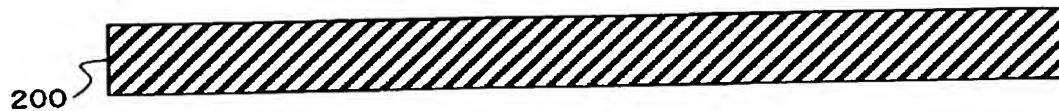
7 5 …誘電体膜

7 5 M、7 5 M' …開口部

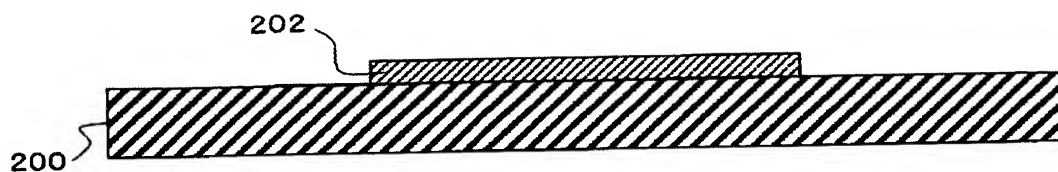
【書類名】 図面

【図 1】

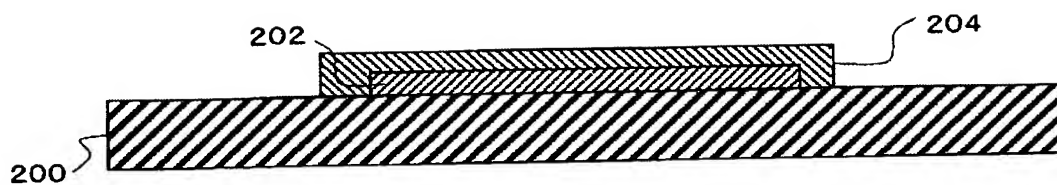
工程(1)



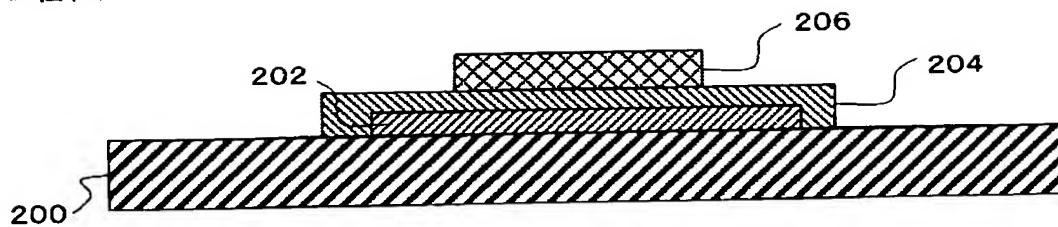
工程(2)



工程(3)

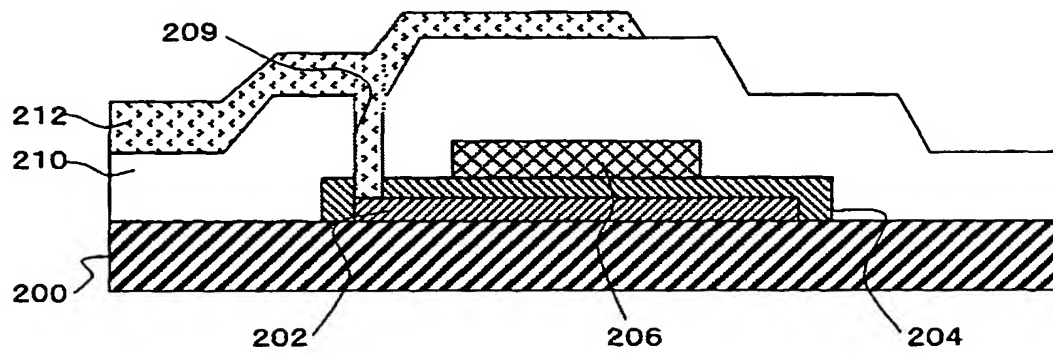


工程(4)

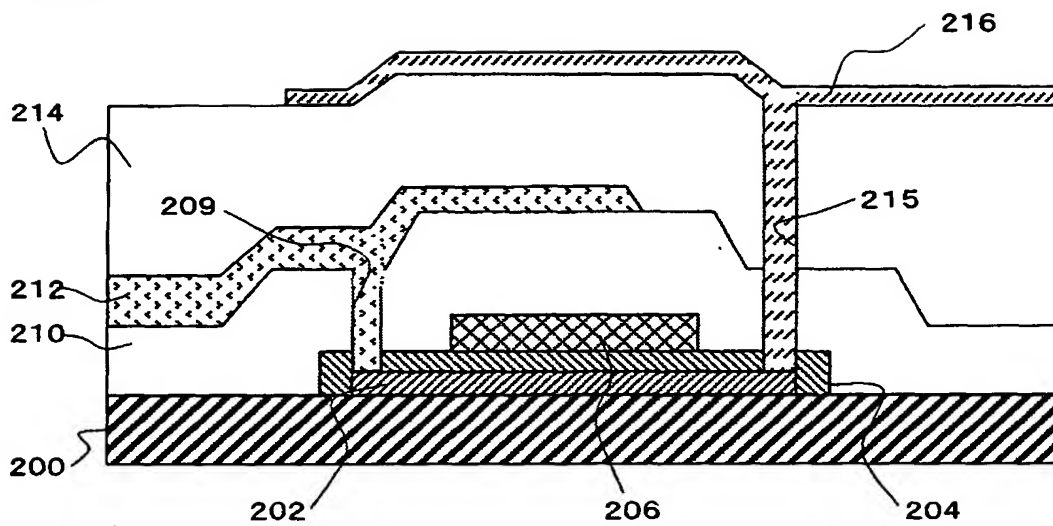


【図 2】

工程(5)

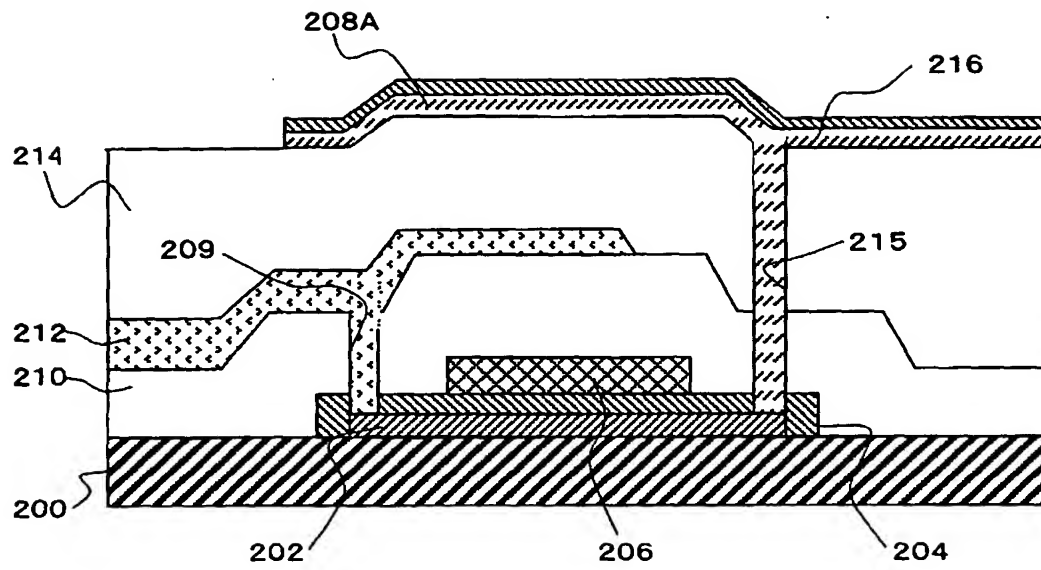


工程(6)

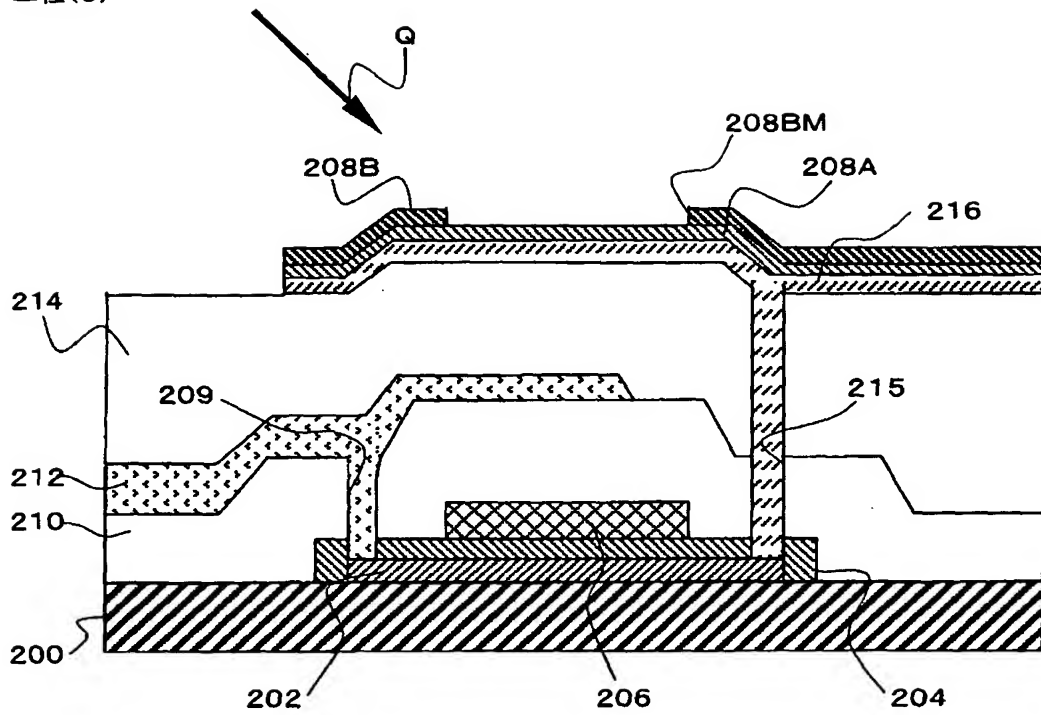


【図3】

工程(7)

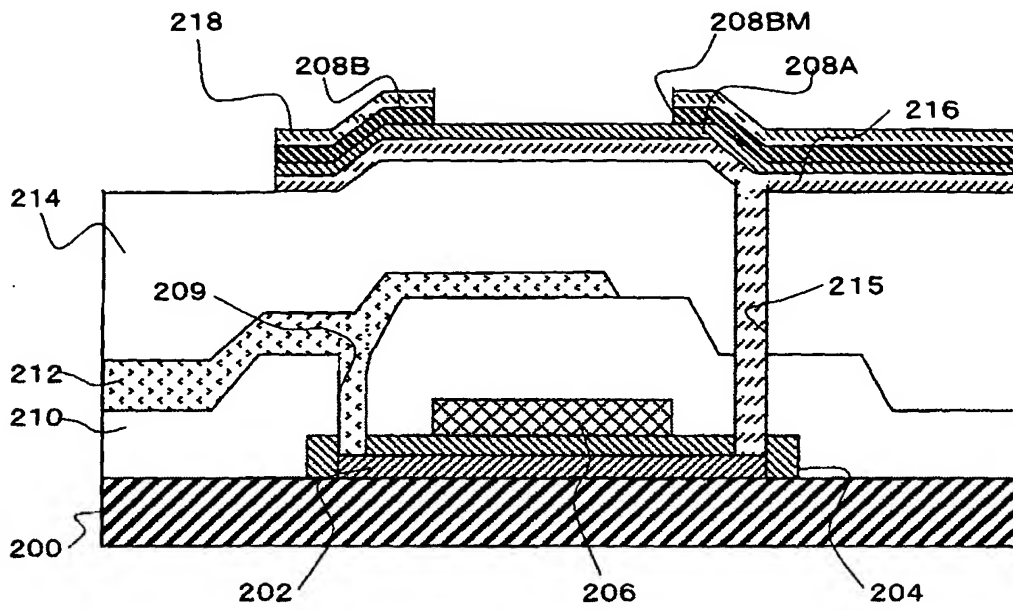


工程(8)

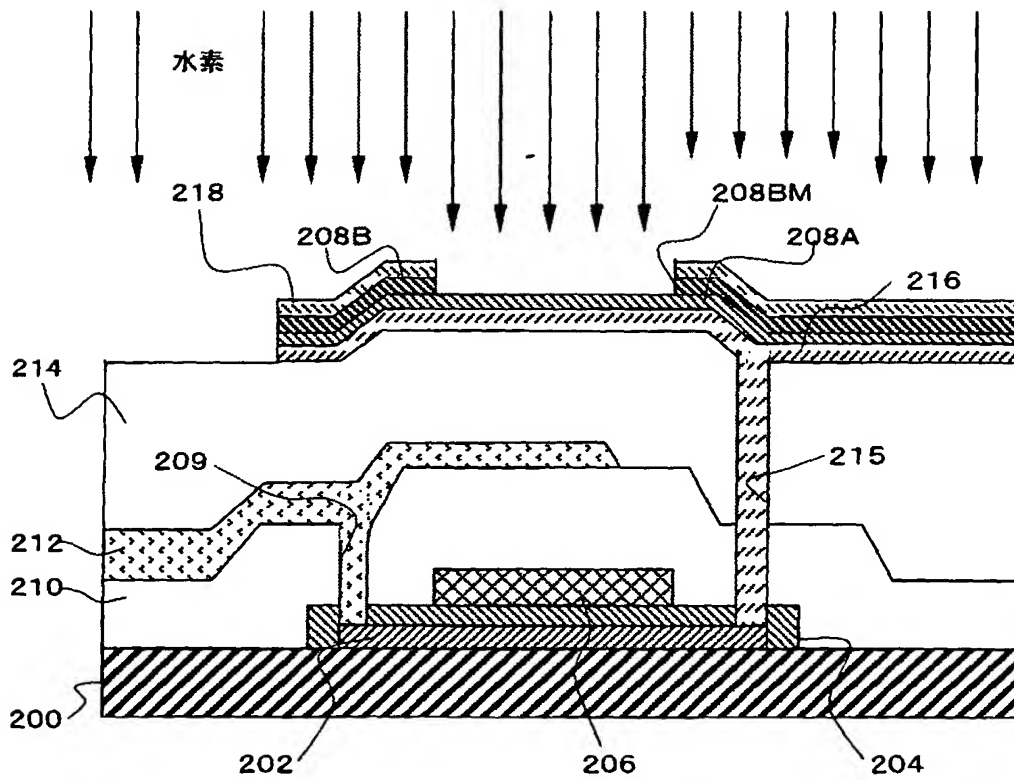


【図 4】

工程(9)

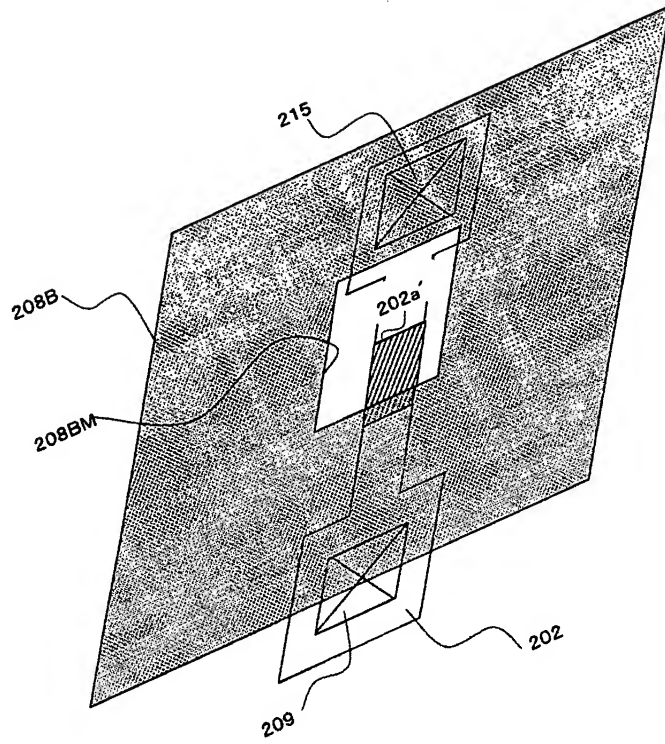


工程(10)



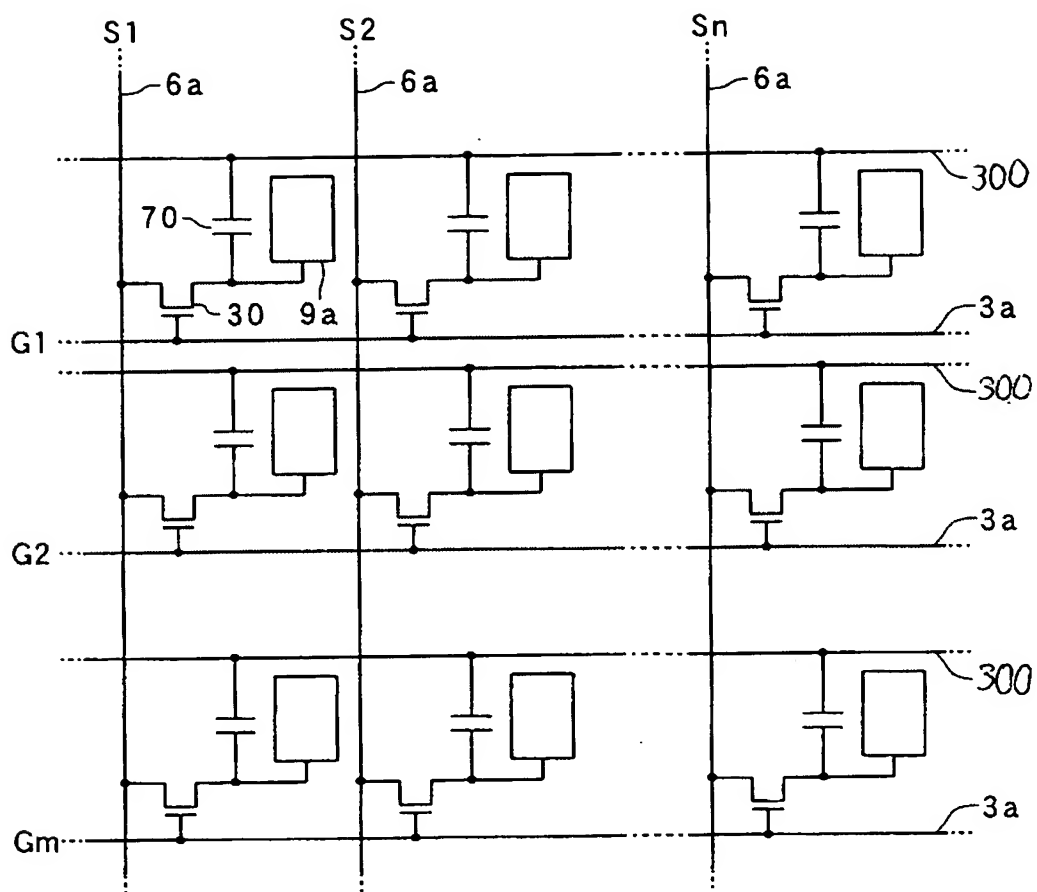
特願2003-195081

【図5】

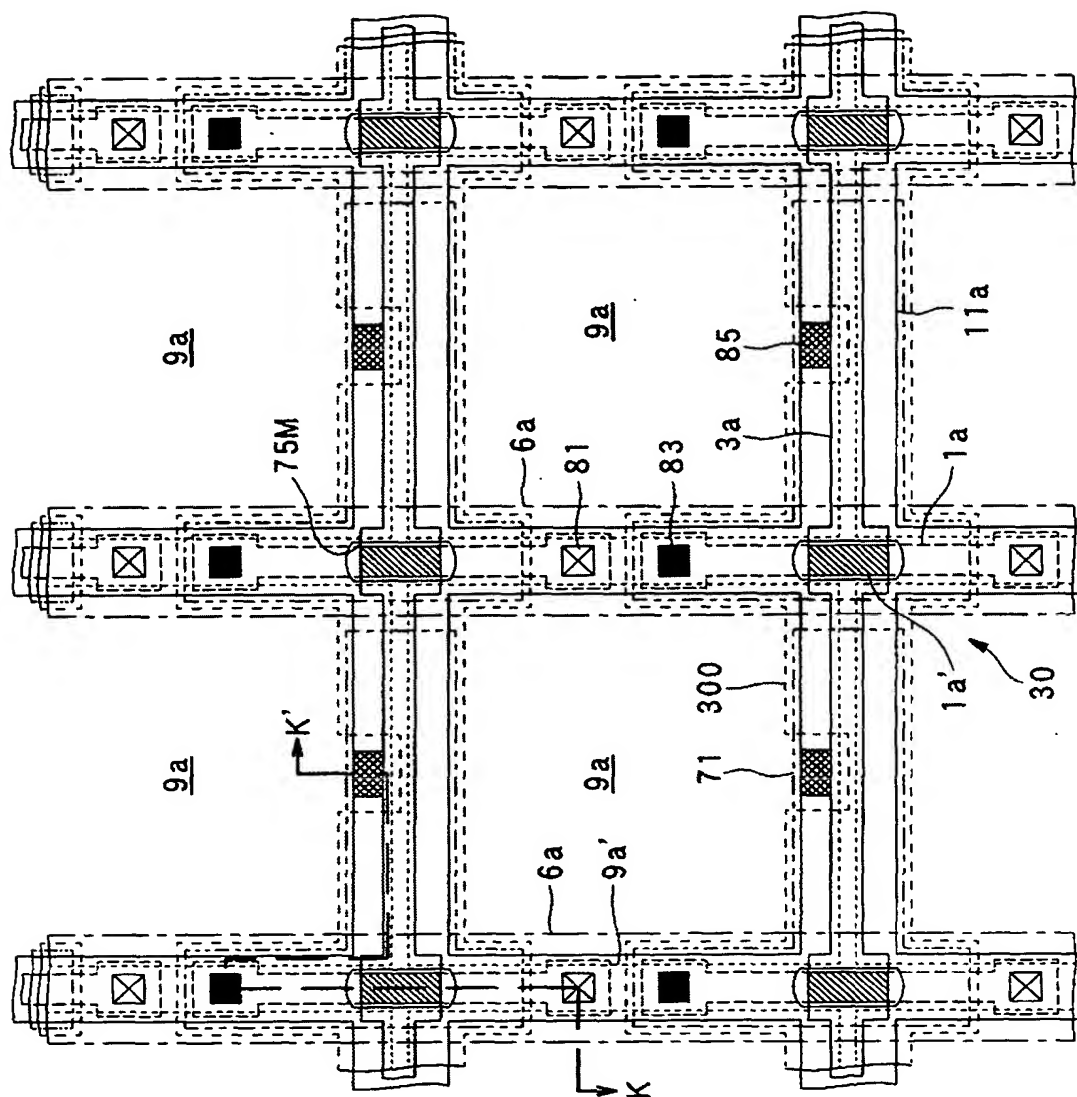


出証特2003-3058916

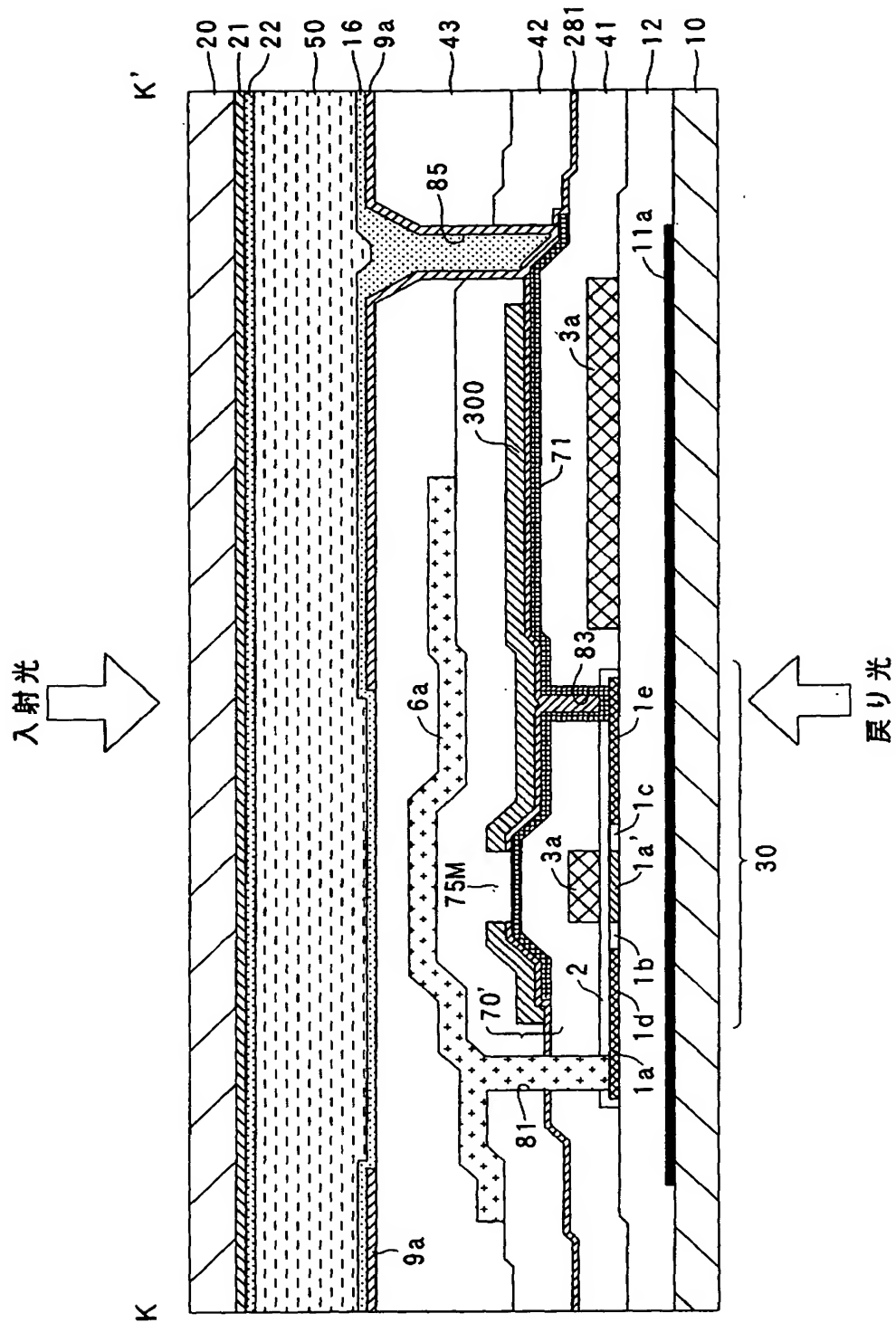
【図 6】



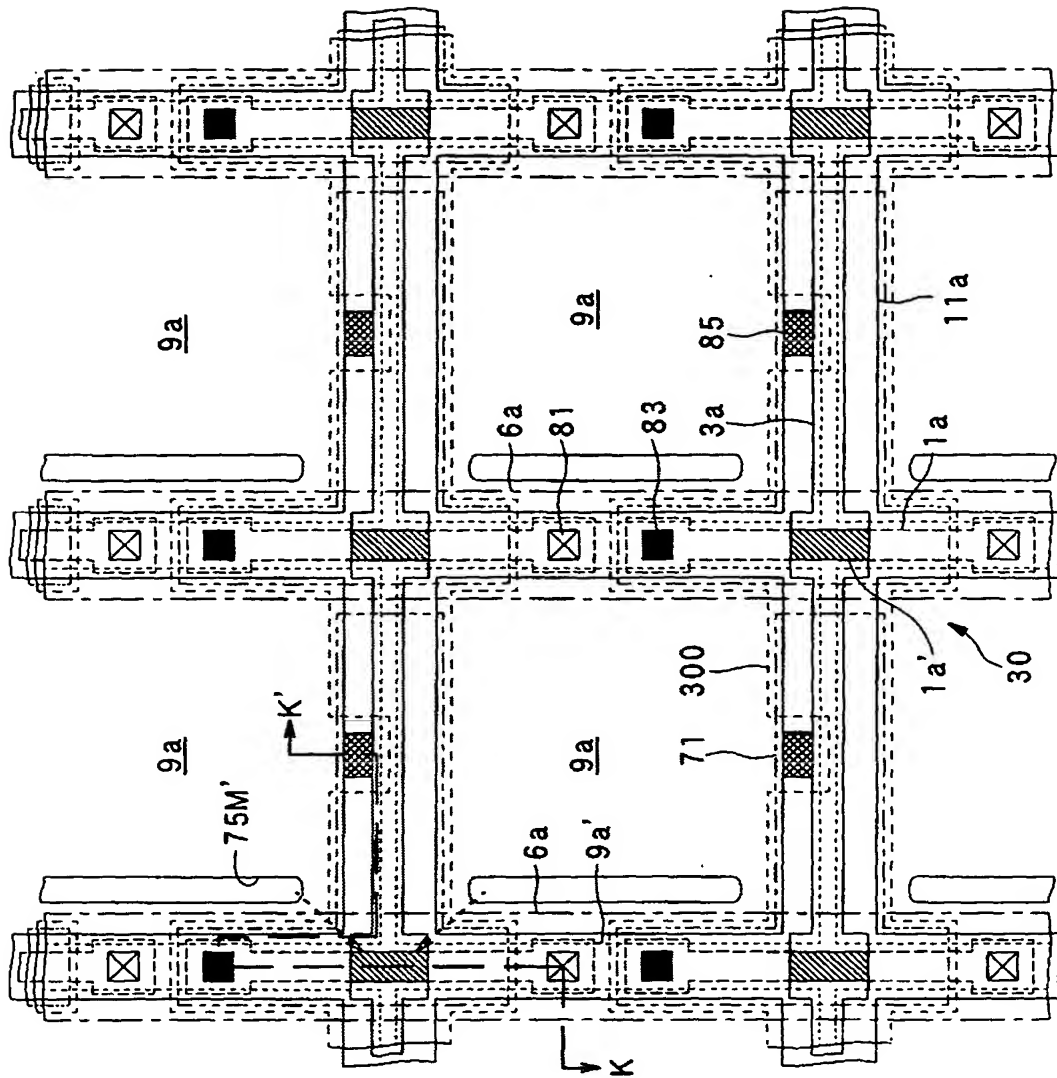
【図7】



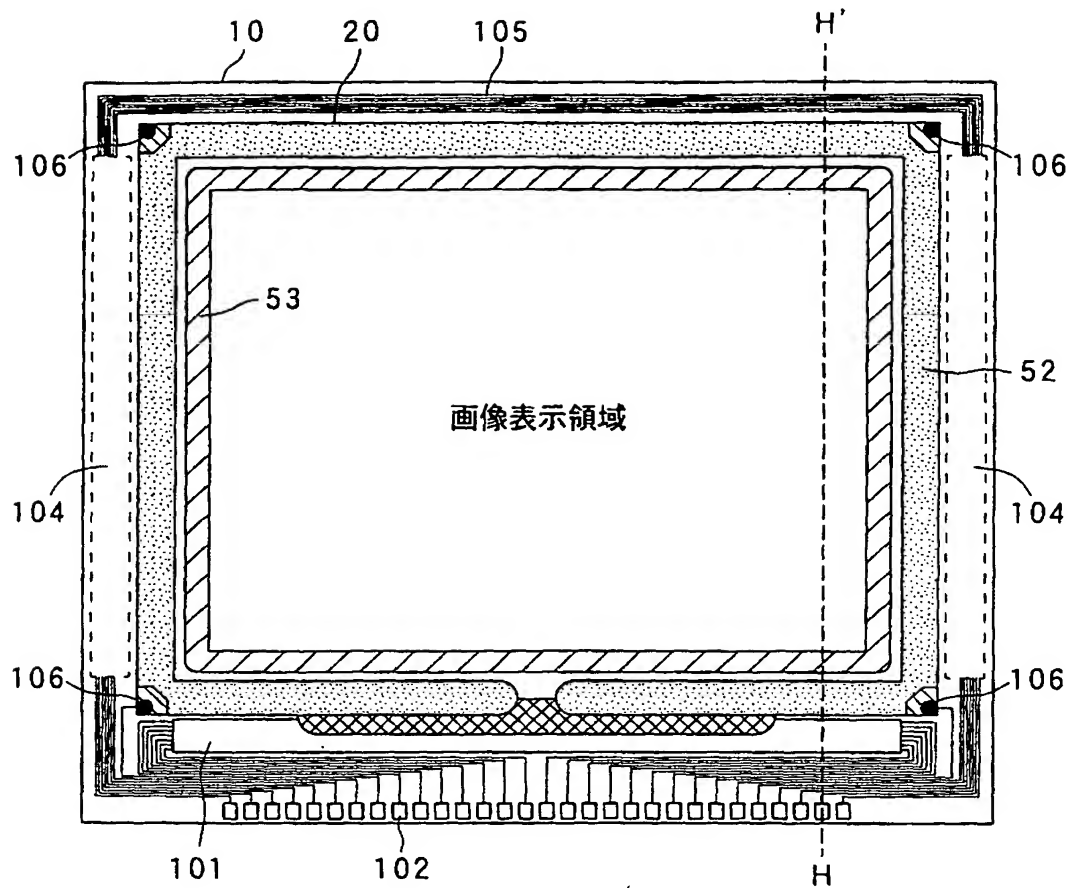
【図 8】



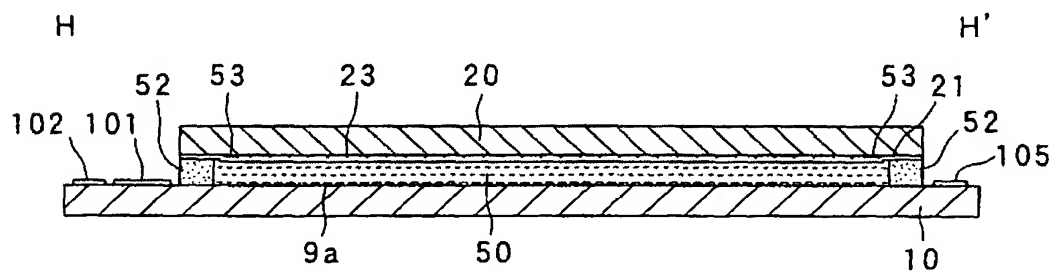
【図9】



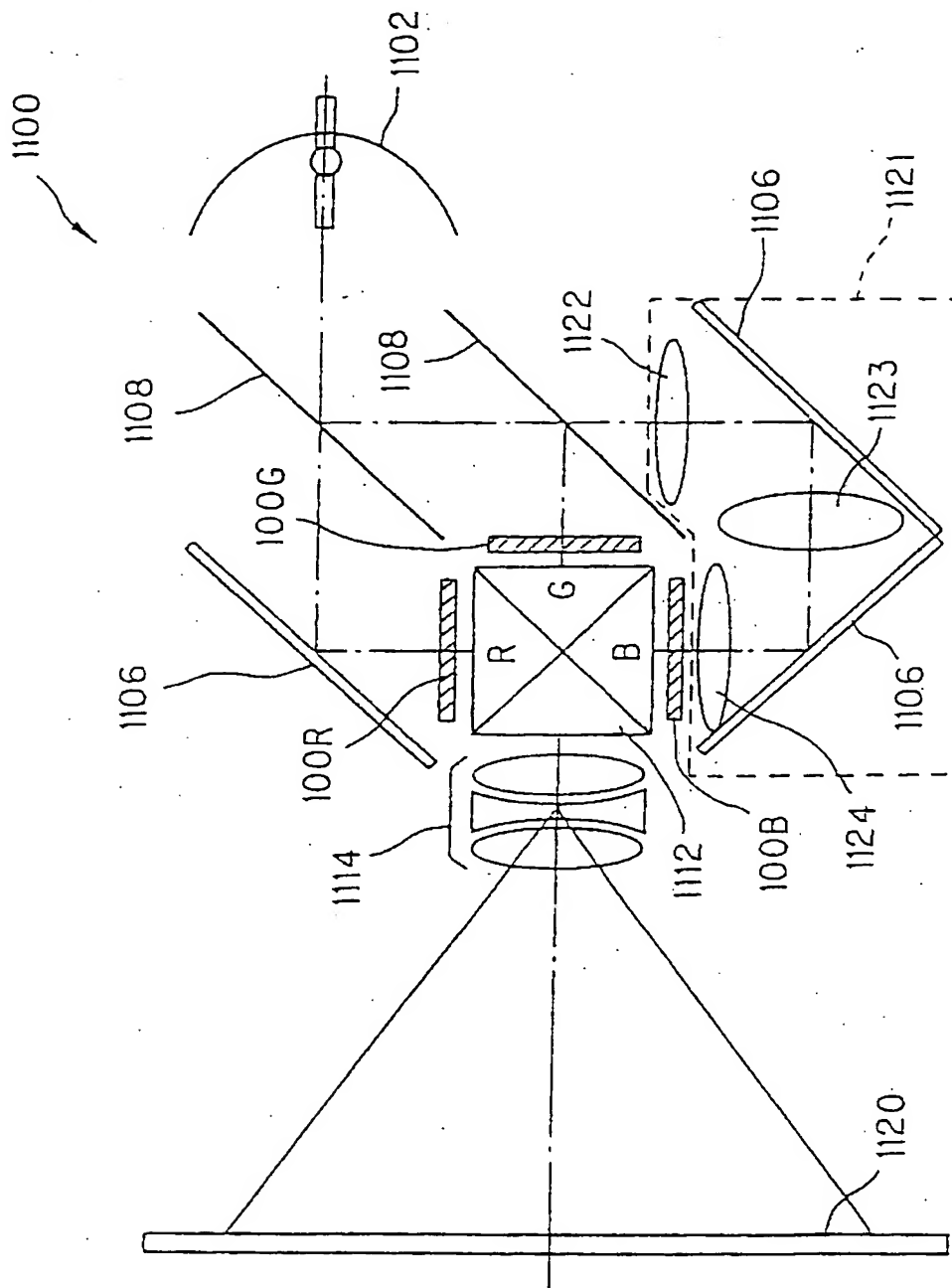
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 良好なトランジスタ特性を長期にわたって維持することの可能な薄膜トランジスタを備えてなる基板装置及びその製造方法等を提供する。

【解決手段】 基板（200）上に、半導体層（202）を含むTFTと、前記半導体層の一部と電氣的に接続された第1電極（216）、これに対向配置された第2電極（218）、並びに第1電極及び第2電極間に配置された窒化膜（208B）を含む誘電体膜からなり、前記TFTの上に形成されたコンデンサとを備えており、前記窒化膜は、平面的に見て、前記半導体層を臨むことの可能な開口部（208BM）を有する。半導体層に対する水素化は、この開口部を利用することにより、有効に行うことができる。

【選択図】 図4

特願 2 0 0 3 - 1 9 5 0 8 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社